

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 7月 8日

出 願 番 号
Application Number:

特願2002-199223

[ST.10/C]:

[JP2002-199223]

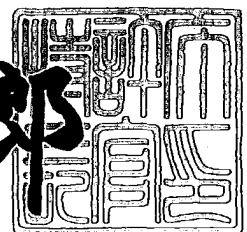
出 願 人
Applicant(s):

日本テキサス・インスツルメンツ株式会社

2003年 6月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3048536

【書類名】 特許願

【整理番号】 020211

【提出日】 平成14年 7月 8日

【あて先】 特許庁長官殿

【国際特許分類】 G05F 1/10

【発明の名称】 DC-DCコンバータ及びDC-DCコンバータの制御回路

【請求項の数】 13

【発明者】

【住所又は居所】 大阪府大阪市北区天満橋 1 丁目 8 番 3 0 号 OAPオフィスタワービル 2 6 階 日本テキサス・インスツルメンツ株式会社内

【氏名】 立石 哲夫

【特許出願人】

【識別番号】 390020248

【氏名又は名称】 日本テキサス・インスツルメンツ株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9102925

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 DC-DCコンバータ及びDC-DCコンバータの制御回路

【特許請求の範囲】

【請求項1】

電源電圧が供給される端子とインダクタンス素子の一方の端子との間に接続されている第1のスイッチング素子と、

上記インダクタンス素子の上記一方の端子と基準電位との間に接続されている第2のスイッチング素子と、

上記インダクタンス素子の他方の端子と上記基準電位との間に接続されている第3のスイッチング素子と、

上記インダクタンス素子の上記他方の端子と出力端子との間に接続されている第4のスイッチング素子と、

上記第1～第4のスイッチング素子を所定のタイミングで導通または遮断させることによって、上記電源電圧に応じた電圧を上記出力端子に出力させ、待機時に上記第2と第3のスイッチング素子を導通させる制御手段と

を有するDC-DCコンバータ。

【請求項2】

上記制御手段は、上記インダクタンス素子の電流を検出する電流検出手段を有し、当該電流検出手段の検出結果に応じて上記第2と第3のスイッチング素子を導通させる

請求項1記載のDC-DCコンバータ。

【請求項3】

上記制御手段は、上記インダクタンス素子の電流がほぼ零になるとき、上記第4のスイッチング素子を遮断させ、上記第2と第3のスイッチング素子を導通させる

請求項2記載のDC-DCコンバータ。

【請求項4】

上記制御手段は、第1、第2及び第3の動作状態を繰り返し、

上記第1の動作状態において、上記第1と第3のスイッチング素子を導通させ

、上記第2と第4のスイッチング素子を遮断させ、
上記第2の動作状態において、上記第1と第3のスイッチング素子を遮断させ、
上記第2と第4のスイッチング素子を導通させ、
上記第3の動作状態において、上記第1と第4のスイッチング素子を遮断させ、
上記第2と第3のスイッチング素子を導通させる
請求項1記載のDC-DCコンバータ。

【請求項5】

上記制御手段は、第1、第2及び第3の動作状態を繰り返し、
上記第1の動作状態において、上記第1と第4のスイッチング素子を導通させ、
上記第2と第3のスイッチング素子を遮断させ、
上記第2の動作状態において、上記第1と第3のスイッチング素子を遮断させ、
上記第2と第4のスイッチング素子を導通させ、
上記第3の動作状態において、上記第1と第4のスイッチング素子を遮断させ、
上記第2と第3のスイッチング素子を導通させる
請求項1記載のDC-DCコンバータ。

【請求項6】

上記制御手段は、第1、第2及び第3の動作状態を繰り返し、
上記第1の動作状態において、上記第1と第3のスイッチング素子を導通させ、
上記第2と第4のスイッチング素子を遮断させ、
上記第2の動作状態において、上記第1と第4のスイッチング素子を導通させ、
上記第2と第3のスイッチング素子を遮断させ、
上記第3の動作状態において、上記第1と第4のスイッチング素子を遮断させ、
上記第2と第3のスイッチング素子を導通させる
請求項1記載のDC-DCコンバータ。

【請求項7】

上記第1、第2、第3及び第4のスイッチング素子は、MOSトランジスタからなり、上記各MOSトランジスタのソースとドレインの間にボディダイオードが形成されている

請求項1記載のDC-DCコンバータ。

【請求項8】

上記制御手段は、上記インダクタンス素子の電流がほぼ零になるとき、上記第2と第3のスイッチング素子のうち、何れか一方を導通させる

請求項7記載のDC-DCコンバータ。

【請求項9】

上記第1または第4のスイッチング素子を構成するMOSトランジスタのゲートに、スイッチ制御信号を供給する駆動回路を有し、

上記駆動回路は、電源電圧が供給される端子と上記インダクタンス素子の一方の端子との間に直列接続されているダイオードとキャパシタと、

電源供給端子が上記ダイオードとキャパシタとの接続点に接続され、基準電圧端子が上記インダクタンス素子の一方の端子に接続され、入力端子に上記制御回路からの制御信号が入力され、出力端子から出力される上記スイッチ制御信号を制御対象のMOSトランジスタのゲートに供給するバッファと

を有する請求項7記載のDC-DCコンバータ。

【請求項10】

インダクタンス素子と、第1の電源端子と上記インダクタンス素子の一方の端子との間に接続された第1のスイッチング素子と、第2の電源端子と上記インダクタンス素子の一方の端子との間に接続された第2のスイッチング素子と、第2の電源端子と上記インダクタンス素子の他方の端子との間に接続された第3のスイッチング素子と、電圧出力端子と上記インダクタンス素子の他方の端子との間に接続された第4のスイッチング素子と、上記電圧出力端子に接続された容量素子とを有するDC-DCコンバータの上記第1、第2、第3及び第4のスイッチング素子を制御する制御回路であって、

上記第1及び第4のスイッチング素子が遮断状態にあるときに上記第2及び第3のスイッチング素子を導通状態に駆動する制御回路。

【請求項11】

上記インダクタンス素子に流れる電流を検出する電流検出回路を有し、上記インダクタンス素子に流れる電流が零のときに上記第2及び第3のスイッチング素子を導通状態に駆動する請求項10に記載の制御回路。

【請求項 1 2】

上記電流検出回路が上記インダクタンス素子に流れる電流が零になったことを検出すると、上記第 1 及び第 4 のスイッチング素子を遮断状態に駆動し、上記第 2 及び第 3 のスイッチング素子を導通状態に駆動する請求項 1 1 に記載の制御回路。

【請求項 1 3】

上記第 1、第 2、第 3 及び第 4 のスイッチング素子が MOS トランジスタで構成される請求項 1 0、1 1 又は 1 2 に記載の制御回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、供給される電源電圧に応じて、所望の電圧を負荷回路に供給する DC-DC コンバータに関するものである。

【0 0 0 2】

【従来の技術】

電源から供給される直流電圧を電源電圧と異なる所望の電圧に変換するために、DC-DC コンバータが広く利用されている。DC-DC コンバータは、スイッチング素子及びインダクタンス素子によって構成され、スイッチング素子をオン/オフさせることによって、インダクタンス素子に電流を流し、これによって蓄積されたエネルギーを負荷側に供給させる。スイッチング素子のオン/オフのタイミングを制御することによって、電源電圧と異なる所望の電圧を負荷に供給することができる。

【0 0 0 3】

図 8 は、従来の DC-DC コンバータの一例を示す構成図である。図示のように、この DC-DC コンバータは、スイッチング素子（以下、便宜上単にスイッチと表記する）S 1、S 2、S 3、S 4、インダクタンス素子 L 1、及び負荷キャパシタ C_{out} によって構成されている。インダクタンス素子 L 1 は、例えば、コイルなどによって構成され、以下、便宜上単にインダクタ L 1 と表記する。

【0 0 0 4】

スイッチ $S1 \sim S4$ は、図示しない制御回路によってそれぞれ導通または遮断状態に制御される。図 8 に示す DC-DC コンバータは、2 つの動作状態であるステート 1 とステート 2 を有する。以下、それぞれの動作状態について説明する。

【0005】

ステート 1 において、スイッチ $S1$ と $S3$ が導通状態に保持され、スイッチ $S2$ と $S4$ が遮断状態に保持される。このとき、インダクタ $L1$ の両端に電源電圧 V_{in} が印加されるので、電源電圧供給端子からスイッチ $S1$ 、インダクタ $L1$ 及びスイッチ $S3$ の経路で電流が流れるので、インダクタ $L1$ にエネルギーが蓄えられる。

次に、ステート 2 において、スイッチ $S1$ と $S3$ が遮断状態に保持され、スイッチ $S2$ と $S4$ が導通状態に保持される。これによって、ステート 1 のときインダクタ $L1$ に蓄積したエネルギーがスイッチ $S4$ を介して負荷回路に放出される。

【0006】

制御回路によって、例えば、所定のクロック信号に従ってスイッチ $S1 \sim S4$ を所定のタイミングで導通または遮断させ、上述したステート 1 とステート 2 を繰り返す。クロック信号を通じてステート 1 ステート 2 の時間比を制御することによって、電源電圧 V_{in} より高い電圧若しくは低い電圧を負荷回路に供給することができる。このため、図 8 に示す DC-DC コンバータは、アップ・ダウンコンバータとも呼ばれる。スイッチ $S2$ 、 $S4$ は整流作用を持てばよいから、スイッチ $S2$ 、 $S4$ をダイオードで構成することもできるが、この場合には、ダイオードの順方向電圧降下によって電力の損失が生じる。高効率が要求される場合、全てのスイッチ $S1$ 、 $S2$ 、 $S3$ 、 $S4$ は MOSFET などのトランジスタ素子で構成され、同期整流方式と呼ばれている。

【0007】

上述した DC-DC コンバータは、昇圧または降圧の両方の動作を実現でき、所望の安定した電圧を負荷回路に供給できる。さらに、回路規模を小型化できるため、現在広く利用されている。

【0008】

【発明が解決しようとする課題】

ところで、上述の同期整流方式のDC-DCコンバータにおいては、軽負荷の状態で作動するときインダクタに出力側から電流を吸い込む状態、即ち、インダクタに電流が逆流する状態が存在する。以下、インダクタを流れる電流 I_L の波形を参照しながらこれについて説明する。

図9は、インダクタ、例えば、コイルに流れる電流の一例を示す波形図である。なお、同図(a)は、スイッチS1～S4のオン/オフのタイミングを制御するクロック信号の波形を示し、同図(b)は、インダクタL1の電流 I_L を示している。

【0009】

ここで、例えば、制御回路は、クロック信号がハイレベルのとき、DC-DCコンバータをステート1に設定し、クロック信号がローレベルのとき、DC-DCコンバータをステート2に設定すると仮定する。このため、ステート1において、インダクタL1の両端に電源電圧 V_{in} が印加されるので、インダクタL1の電流 I_L が V_{in}/L の変化率で増加する。なお、ここで、Lは、インダクタL1のインダクタンスを表す。図9(b)に示すように、ステート1において、インダクタL1の電流 I_{L1} が V_{in}/L の変化率で増加する。

そして、ステート2において、インダクタL1に蓄積したエネルギーが負荷回路に放出される。このとき、インダクタL1の両端に、出力電圧 V_{out} が印加されるので、インダクタL1の電流 I_{L2} が V_{out}/L の変化率で低減する。

【0010】

インダクタL1は、ステート2の状態では負荷側に電流を供給するので、図9(b)に示すステート2の電流 I_{L2} をクロック信号の1周期で平均すれば、DC-DCコンバータが負荷回路に供給する電流 I_{out} が求められる。

【0011】

次に、軽負荷状態について考察する。軽負荷の状態において、ステート2のとき、インダクタL1から負荷回路に出力される電流 I_{L2} が低減し、電流が零となる時点を過ぎると、インダクタL1に負荷回路から逆電流が流れはじめる。即ち

、DC-DCコンバータが負荷から電流を吸い込む。

【0012】

図10は、軽負荷状態におけるインダクタL1の電流を示す波形図である。

図に示すように、ステート2において、インダクタL1の電流が徐々に低減し、ついに負になってしまう。

軽負荷状態においてインダクタL1に逆電流が流れることによって、リングング現象が発生する。これによって必要のないエネルギーのやり取りが入出力間に発生し、DC-DCコンバータの変換効率を低下させてしまうという不利益がある。

【0013】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、軽負荷時にインダクタの逆電流を防止でき、不要な電力損失を低減し、変換効率を向上できるDC-DCコンバータを提供することにある。

【0014】

【課題を解決するための手段】

上記目的を達成するため、本発明のDC-DCコンバータは、電源電圧が供給される端子とインダクタンス素子の一方の端子との間に接続されている第1のスイッチング素子と、上記インダクタンス素子の上記一方の端子と基準電位との間に接続されている第2のスイッチング素子と、上記インダクタンス素子の他方の端子と上記基準電位との間に接続されている第3のスイッチング素子と、上記インダクタンス素子の上記他方の端子と出力端子との間に接続されている第4のスイッチング素子と、上記第1～第4のスイッチング素子を所定のタイミングで導通または遮断させることによって、上記電源電圧に応じた電圧を上記出力端子に出力させ、待機時に上記第2と第3のスイッチング素子を導通させる制御手段とを有する。

【0015】

また、本発明では、好適には、上記制御手段は、上記インダクタンス素子の電流を検出する電流検出手段を有し、当該電流検出手段の検出結果に応じて上記第2と第3のスイッチング素子を導通させる。好ましくは、上記制御手段は、上記

インダクタンス素子の電流がほぼ零になるとき、上記第4のスイッチング素子を遮断させ、上記第2と第3のスイッチング素子を導通させる。これにより、インダクタンス素子の両端を同電位に保つことができ、インダクタンス電流の増減をなくし、不要な電力損失を低減できる。また、この際、インダクタンス素子と寄生容量によって生じるリングングも防止でき、ノイズを低減できる。

【0016】

また、本発明では、好適には、上記制御手段は、第1、第2及び第3の動作状態を繰り返し、上記第1の動作状態において、上記第1と第3のスイッチング素子を導通させ、上記第2と第4のスイッチング素子を遮断させ、上記第2の動作状態において、上記第1と第3のスイッチング素子を遮断させ、上記第2と第4のスイッチング素子を導通させ、上記第3の動作状態において、上記第1と第4のスイッチング素子を遮断させ、上記第2と第3のスイッチング素子を導通させる。

【0017】

また、本発明では、好適には、上記制御手段は、第1、第2及び第3の動作状態を繰り返し、上記第1の動作状態において、上記第1と第4のスイッチング素子を導通させ、上記第2と第3のスイッチング素子を遮断させ、上記第2の動作状態において、上記第1と第3のスイッチング素子を遮断させ、上記第2と第4のスイッチング素子を導通させ、上記第3の動作状態において、上記第1と第4のスイッチング素子を遮断させ、上記第2と第3のスイッチング素子を導通させる。

【0018】

また、本発明では、好適には、上記制御手段は、第1、第2及び第3の動作状態を繰り返し、上記第1の動作状態において、上記第1と第3のスイッチング素子を導通させ、上記第2と第4のスイッチング素子を遮断させ、上記第2の動作状態において、上記第1と第4のスイッチング素子を導通させ、上記第2と第3のスイッチング素子を遮断させ、上記第3の動作状態において、上記第1と第4のスイッチング素子を遮断させ、上記第2と第3のスイッチング素子を導通させる。

【0019】

また、本発明では、好適には、上記第1、第2、第3及び第4のスイッチング素子は、MOSトランジスタからなり、上記各MOSトランジスタのソースとドレインの間にボディダイオードが形成されている。

【0020】

また、本発明では、好適には、上記制御手段は、上記インダクタンス素子の電流がほぼ零になるとき、上記第2と第3のスイッチング素子のうち、何れか一方を導通させる。

【0021】

さらに、本発明では、好適には、上記第1または第4のスイッチング素子を構成するMOSトランジスタのゲートに、スイッチ制御信号を供給する駆動回路を有し、好ましくは、上記駆動回路に、電源電圧が供給される端子と上記インダクタンス素子の一方の端子との間に直列接続されているダイオードとキャパシタと、電源供給端子が上記ダイオードとキャパシタとの接続点に接続され、基準電圧端子が上記インダクタンス素子の一方の端子に接続され、入力端子に上記制御回路からの制御信号が入力され、出力端子から出力される上記スイッチ制御信号を制御対象のMOSトランジスタのゲートに供給するバッファとを有する。

【0022】

本発明の制御回路は、インダクタンス素子と、第1の電源端子と上記インダクタンス素子の一方の端子との間に接続された第1のスイッチング素子と、第2の電源端子と上記インダクタンス素子の一方の端子との間に接続された第2のスイッチング素子と、第2の電源端子と上記インダクタンス素子の他方の端子との間に接続された第3のスイッチング素子と、電圧出力端子と上記インダクタンス素子の他方の端子との間に接続された第4のスイッチング素子と、上記電圧出力端子に接続された容量素子とを有するDC-DCコンバータの上記第1、第2、第3及び第4のスイッチング素子を制御する制御回路であって、上記第1及び第4のスイッチング素子が遮断状態にあるときに上記第2及び第3のスイッチング素子を導通状態に駆動する。

【0023】

また、本発明では、好適には、上記インダクタンス素子に流れる電流を検出する電流検出回路を有し、上記インダクタンス素子に流れる電流が零のときに上記第2及び第3のスイッチング素子を導通状態に駆動する。

【0024】

さらに、本発明では、好適には、上記電流検出回路が上記インダクタンス素子に流れる電流が零になったことを検出すると、上記第1及び第4のスイッチング素子を遮断状態に駆動し、上記第2及び第3のスイッチング素子を導通状態に駆動する。

【0025】

【発明の実施の形態】

図1は本発明に係るDC-DCコンバータの一実施形態を示す構成図である。

図示のように、本実施形態のDC-DCコンバータは、スイッチS1、S2、S3、S4、インダクタL1、負荷キャパシタC1、及びスイッチング制御回路10によって構成されている。

【0026】

スイッチング制御回路10は、インダクタL1の電流 I_L 及び出力電圧 V_{out} を検出し、検出の結果に応じて、出力電圧 V_{out} を所望のレベルに保持するようにスイッチS1、S2、S3及びS4を導通または遮断状態に制御する。

本実施形態のスイッチング制御回路10には、インダクタL1の電流 I_L を検出する電流検出手段と出力電圧 V_{out} を検出する電圧検出手段（図示せず）が備えられている。

【0027】

電圧検出手段によって出力電圧 V_{out} が検出され、当該検出の結果に応じて、スイッチング制御手段10は、スイッチS1～S4を適宜切り替え、インダクタL1にエネルギーを蓄積させ、またはインダクタL1に蓄積したエネルギーを負荷回路に放出させることによって、所望の出力電圧 V_{out} を負荷回路に供給する。

【0028】

さらに、電流検出手段によって、インダクタL1を流れる電流 I_L がほぼ零に

等しくなると検出されたとき、スイッチング制御回路10は、スイッチS2とS3の両方を導通させ、即ちインダクタL1の両端を接地する。これによって、出力のリングングの発生を防止する。

【0029】

なお、出力電圧 V_{out} を検出する電圧検出手段及びインダクタL1の電流 I_L を検出する電流検出手段は、既存の技術によって実現できる。

本実施形態のDC-DCコンバータにおいて、供給される電源電圧 V_{in} に対して出力電圧 V_{out} のレベルによって、昇降圧型、降圧型、または昇圧型などに分類される。以下、それぞれのDC-DCコンバータの動作について説明する。

【0030】

昇降圧型DC-DCコンバータ

図2は、昇降圧型DC-DCコンバータの動作例を示す図である。昇降圧型のDC-DCコンバータは、ステート1、ステート2及びステート3の3つの動作状態を有する。図2(a)、(b)と(c)は、それぞれ、各動作状態において、スイッチS1～S4のオン/オフ状態及びインダクタL1の電流を示している。

【0031】

図2(a)に示すように、ステート1において、スイッチS1とS3が導通状態、スイッチS2とS4が遮断状態にそれぞれ制御される。このため、インダクタL1の両端に、電源電圧 V_{in} が印加されるので、インダクタL1の電流 I_L は、電源電圧 V_{in} とインダクタL1のインダクタンス L によって決まった変化率 V_{in}/L で上昇する。即ち、ステート1において、電源によって供給されたエネルギーがインダクタL1に蓄えられる。

【0032】

次に、ステート2において、スイッチング制御回路10によって、スイッチS1とS3が遮断状態、スイッチS2とS4が導通状態にそれぞれ制御される。このとき、インダクタL1に蓄えられたエネルギーが負荷側に放出される。即ち、インダクタL1の出力電流によって負荷キャパシタ C_{out} がチャージされ、出力端子に電圧 V_{out} が印加される。

【0033】

ステート2において、インダクタL1の両端に出力電圧 V_{out} が印加されるので、インダクタL1の電流 I_2 が V_{out}/L の変化率で低減する。そして、所定の時間を経過したときインダクタL1の電流 I_2 がほぼ零になる。

スイッチング制御回路10は、インダクタL1の電流がほぼ零になることを検出すると、スイッチS1とS4を遮断し、スイッチS2とS3を導通させる。このとき、DC-DCコンバータは、ステート3の動作状態に設定される。

【0034】

ステート3において、インダクタL1が負荷回路と電氣的に分離されている。このとき、負荷キャパシタ C_{out} に蓄積した電荷が負荷回路に徐々に放出され、出力電圧 V_{out} が低下する。なお、軽負荷の状態では、負荷に供給される電流が小さく、出力電圧 V_{out} が負荷キャパシタ C_{out} によってほぼ所定の電圧に保持される。

【0035】

ステート3において、スイッチS2とS3がともに導通するので、インダクタL1の両端が接地電位に短絡される。さらに、スイッチS2とS3の切り替えがインダクタL1の電流がほぼ零になったときに行われるので、インダクタL1における逆電流の発生を防止でき、かつ、出力電圧 V_{out} にリングングノイズの発生を防止できる。

【0036】

図3は、上述した昇降圧型DC-DCコンバータのインダクタ電流、及び出力電圧の波形を示す波形図である。

図3(a)は、インダクタ電流を示し、図3(b)は、図2に示す回路図において、スイッチS1とインダクタL1との接続点の電圧 V_A の波形を示し、図3(c)は、スイッチS4とインダクタL1との接続点の電圧 V_B の波形を示し、さらに、図3(d)は、出力電圧 V_{out} の波形を示している。

【0037】

図3(a)に示すように、ステート1において、電源から供給されるエネルギーがインダクタL1に蓄積される。このとき、インダクタ電流 I_1 が変化率 V_{in}

／Lで増加する。図3（b）に示すように、ステート1において、電圧 V_A が電源電圧 V_{in} に保持され、電圧 V_B が接地電位（0V）に保持されている。

また、ステート1において、インダクタL1から負荷側に電流の供給がなく、負荷キャパシタ C_{out} によって保持された出力電圧 V_{out} が負荷回路に供給される。

【0038】

次に、ステート2において、インダクタL1に蓄積されたエネルギーが負荷側に放出される。このとき、インダクタL1の電流I2が負荷回路に出力されるので、負荷キャパシタ C_{out} がチャージされ、出力電圧 V_{out} が所定のレベルに保持される。

図3（b）に示すように、ステート2において、電圧 V_A が接地電位に保持され、電圧 V_B がほぼ一定の電圧に保持される。なお、ステート2において、電圧 V_B がDC-DCコンバータの出力電圧 V_{out} に等しい。

【0039】

ステート2において、スイッチング制御回路10は、インダクタの電流値を検出し、当該電流値がほぼ零になったとき、スイッチS3を導通させ、S4を遮断させる。即ち、スイッチの切り替えによって、スイッチS1～S4のうち、スイッチS1とS4が遮断状態、スイッチS2とS3が導通状態に保持される。これによって、インダクタL1の両端が接地電位に短絡され、また、インダクタL1と負荷回路が電氣的に切り離される。このため、インダクタL1の逆電流の発生が防止され、また、リングングノイズの発生が防止される。尚、負荷の条件によっては、ステート3を経ず、ステート2からステート1に移行する場合もある。

【0040】

本実施形態のDC-DCコンバータにおいて、スイッチング制御回路10は、電源電圧 V_{in} 、負荷電流などに応じて、ステート1、ステート2、ステート3の時間比を適宜制御し、出力電圧 V_{out} を所望の電圧に制御する。これによって、電源電圧 V_{in} より高い出力電圧、または電源電圧 V_{in} より低い出力電圧の何れも発生することができる。即ち、DC-DCコンバータは、昇圧と降圧の両方の機能を備えることができる。また、インダクタL1の電流を検出し、検出結果に応

じてスイッチの切り替えを制御することによって、インダクタL1の逆電流の発生を防止でき、かつ、リングングノイズの発生を防止できる。

【0041】

降圧型DC-DCコンバータ

図4は、降圧型DC-DCコンバータの動作例を示す図である。図示のように、降圧型のDC-DCコンバータは、ステート1、ステート2及びステート3の3つの動作状態を有する。図4(a)、(b)と(c)は、それぞれ、各動作状態において、スイッチS1～S4のオン/オフ状態及びインダクタL1の電流を示している。

【0042】

図4(a)に示すように、ステート1において、スイッチS1とS4が導通状態、スイッチS2とS3が遮断状態にそれぞれ制御される。このため、インダクタL1の両端に、電源電圧 V_{in} と出力電圧 V_{out} の差分に相当する電圧($V_{out} - V_{in}$)が印加されるので、インダクタL1の電流I1は、差分電圧($V_{out} - V_{in}$)とインダクタL1のインダクタンスLによって決まった変化率($V_{out} - V_{in}$)/Lで上昇する。

このように、ステート1において、電源によって供給されたエネルギーがインダクタL1に蓄えられる。また、ステート1の間、電源から負荷回路に電流が供給される。

【0043】

次に、ステート2において、スイッチング制御回路10によって、スイッチS1とS3が遮断状態、スイッチS2とS4が導通状態にそれぞれ制御される。このとき、インダクタL1に蓄えられたエネルギーが負荷側に放出される。即ち、インダクタL1の出力電流によって負荷キャパシタ C_{out} がチャージされ、出力端子に電圧 V_{out} が印加される。

【0044】

ステート2において、インダクタL1の両端に出力電圧 V_{out} が印加されるので、インダクタL1の電流I2が V_{out}/L の変化率で低減する。軽負荷時など、負荷条件によっては、インダクタL1の電流I2が零になる場合もある。

スイッチング制御回路10は、インダクタL1の電流がほぼ零になることを検出すると、スイッチS1とS4を遮断し、スイッチS2とS3を導通させる。このとき、DC-DCコンバータは、ステート3の動作状態に設定される。尚、重負荷時において、ステート2からステート3に移行せず、ステート2からステート1に移行することもある。

【0045】

ステート3において、インダクタL1が負荷回路と電氣的に分離されている。このとき、負荷キャパシタ C_{out} に蓄積した電荷が負荷回路に徐々に放出され、出力電圧 V_{out} が低下する。なお、軽負荷の状態では、負荷に供給される電流が小さく、出力電圧 V_{out} が負荷キャパシタ C_{out} によってほぼ所定の電圧に保持される。

【0046】

上述したように、ステート3において、スイッチS2とS3がともに導通するので、インダクタL1の両端が接地電位に短絡され、リングングノイズの発生が防止される。さらに、スイッチS2とS3の切り替えがインダクタL1の電流がほぼ零になったときに行われるので、インダクタL1に逆電流の発生を防止できる。

【0047】

昇圧型DC-DCコンバータ

図5は、昇圧型DC-DCコンバータの動作例を示す図である。図示のように、昇圧型のDC-DCコンバータは、ステート1、ステート2及びステート3の3つの動作状態を有する。図5(a)、(b)と(c)は、それぞれ、各動作状態において、スイッチS1～S4のオン/オフ状態及びインダクタL1の電流を示している。

【0048】

図5(a)に示すように、ステート1において、スイッチS1とS3が導通状態、スイッチS2とS4が遮断状態にそれぞれ制御される。このため、インダクタL1の両端に、電源電圧 V_{in} が印加されるので、インダクタL1の電流 I_1 は、電源電圧 V_{in} とインダクタL1のインダクタンス L によって決まった変化率 V

i_{in}/L で上昇する。

このように、ステート1において、電源によって供給されたエネルギーがインダクタL1に蓄えられる。

【0049】

次に、ステート2において、スイッチング制御回路10によって、スイッチ21とS3が遮断状態、スイッチS1とS4が導通状態にそれぞれ制御される。このとき、インダクタL1に蓄えられたエネルギーと電源から供給されるエネルギーとが負荷側に放出される。即ち、インダクタL1の出力電流によって負荷キャパシタ C_{out} がチャージされ、出力端子に電圧 V_{out} が印加される。

なお、ステート2において、電源電圧 V_{in} とインダクタL1の両端の電圧が直列して負荷回路に印加されるので、負荷回路に供給される出力電圧 V_{out} が電源電圧 V_{in} より高い電圧となる。

【0050】

さらに、ステート2において、インダクタL1の両端に出力電圧 V_{out} と電源電圧 V_{in} との差分に相当する電圧($V_{out} - V_{in}$)が印加されるので、インダクタL1の電流I2が($V_{out} - V_{in}$)/Lの変化率で低減する。軽負荷時など、負荷条件によっては、インダクタL1の電流I2が零になる場合がある。

スイッチング制御回路10は、インダクタL1の電流がほぼ零になることを検出すると、スイッチS1とS4を遮断し、スイッチS2とS3を導通させる。このとき、DC-DCコンバータは、ステート3の動作状態に設定される。

【0051】

ステート3において、インダクタL1が負荷回路と電氣的に分離されている。このとき、負荷キャパシタ C_{out} に蓄積した電荷が負荷回路に徐々に放出され、出力電圧 V_{out} が低下する。なお、軽負荷の状態では、負荷に供給される電流が小さく、出力電圧 V_{out} が負荷キャパシタ C_{out} によってほぼ所定の電圧に保持される。

【0052】

上述したように、ステート3において、スイッチS2とS3がともに導通するので、インダクタL1の両端が接地電位に短絡され、リングングノイズの発生が

防止される。さらに、スイッチ $S_1 \sim S_4$ の切り替えがインダクタ L_1 の電流がほぼ零になったときに行われるので、インダクタ L_1 に逆電流の発生を防止できる。

【0053】

具体的な回路例1

以上、本実施形態のDC-DCコンバータを昇降圧型、降圧型または昇圧型として動作する場合について説明した。次に、本実施形態のDC-DCコンバータの具体的な回路構成について説明する。

図6は、本実施形態のDC-DCコンバータの一具体例を示す回路図である。なお、図6ではスイッチング制御回路10が省略されている。

【0054】

図示のように、本実施形態のDC-DCコンバータは、インダクタ L_1 、pチャネルMOSトランジスタ P_1 と P_4 、nチャネルMOSトランジスタ N_2 と N_3 及び負荷キャパシタ C_{out} によって構成されている。なお、pチャネルMOSトランジスタ P_1 と P_4 は、図1に示すスイッチ S_1 と S_4 にそれぞれ対応し、nチャネルMOSトランジスタ N_2 と N_3 は、図1に示すスイッチ S_2 と S_3 にそれぞれ対応する。

【0055】

図6に示すように、トランジスタ P_1 のソースが電源電圧 V_{in} が供給される電源端子に接続され、ドレインがインダクタ L_1 の一方の端子 N_A に接続されている。トランジスタ P_1 のゲートにスイッチ制御信号 S_{c1} が入力される。

トランジスタ N_2 のソースが接地され、ドレインがインダクタ L_1 の端子 N_A に接続されている。トランジスタ N_2 のゲートにスイッチ制御信号 S_{c2} が入力される。

【0056】

トランジスタ P_4 のドレインが出力端子 T_{out} に接続され、ソースがインダクタ L_1 の他方の端子 N_B に接続されている。トランジスタ P_4 のゲートにスイッチ制御信号 S_{c4} が入力される。

トランジスタ N_3 のソースが接地され、ドレインがインダクタ L_1 の端子 N_B

に接続されている。トランジスタN3のゲートにスイッチ制御信号 S_{c3} が入力される。

また、図6に示すように、それぞれのトランジスタにボディダイオードD1～D4が形成されている。

【0057】

トランジスタP1、N2、N3とP4は、それぞれのゲートに入力されるスイッチ制御信号 $S_{c1} \sim S_{c4}$ によってオンまたはオフ状態に制御される。

なお、スイッチ制御信号 $S_{c1} \sim S_{c4}$ は、図6に示していないスイッチング制御回路10によって供給される。スイッチング制御回路10は、図1に示すように、インダクタL1の電流 I_L 及び出力電圧 V_{out} を検出し、検出の結果に応じて、スイッチ制御信号 $S_{c1} \sim S_{c4}$ を適宜出力する。

【0058】

即ち、図6に示すDC-DCコンバータにおいて、スイッチング制御回路10によってスイッチ制御信号 $S_{c1} \sim S_{c4}$ を適宜供給することによって、前述した昇降圧型、降圧型または昇圧型の何れかのDC-DCコンバータを実現できる。

【0059】

図6に示すように、構成されたDC-DCコンバータにおいて、上述したステート3において、スイッチング制御回路10から出力されるスイッチ制御信号 S_{c2} と S_{c3} によってトランジスタN2とN3の両方がオン状態に制御される。これによって、インダクタL1の両端が接地され、リングングノイズの発生を防止できる。

【0060】

一方、図6に示す回路例では、トランジスタN2とN3の何れか1つのみをオン状態に設定しても、リングングノイズを防止することができる。図6に示すように、トランジスタP1、N2、N3とP4に、それぞれボディダイオードD1～D4が形成されている。これらのボディダイオードによって、トランジスタN2とN3のうち、何れか一方がオン状態にあるとき、インダクタL1の両端に発生するリングングノイズが、ボディダイオードによってカットオフされ、リングング電圧が抑制される。なお、このとき、リングング電圧を完全には除去できず

、ボディダイオードの順方向導通電圧分だけ残るが、十分低く抑制できる。

【0061】

具体的な回路例2

図7は、本実施形態のDC-DCコンバータの他の回路例を示す回路図である。図示のように、本例のDC-DCコンバータにおいて、スイッチS1～S4に対応するトランジスタがすべてnチャネルMOSトランジスタN1～N4によって構成されている。また、図7において、スイッチS1に対応するnチャネルトランジスタN1のゲートにスイッチ制御信号 S_{c1} を供給する駆動回路の一例を示している。

【0062】

図7に示すように、トランジスタN1は電源電圧 V_{in} とインダクタL1の一方の端子 N_A との間に接続され、そのゲートにスイッチ制御信号 S_{c1} が印加される。トランジスタN2は、インダクタL1の端子 N_A （以下、ノード N_A という）と接地電位との間に接続され、そのゲートにスイッチ制御信号 S_{c2} が制御される。トランジスタN3は出力端子とインダクタL1の他方の端子 N_B との間に接続され、そのゲートにスイッチ制御信号 S_{c3} が印加される。トランジスタN4は、インダクタL1の端子 N_B （以下、ノード N_B という）と接地電位との間に接続され、そのゲートにスイッチ制御信号 S_{c4} が印加される。

【0063】

トランジスタN1～N4は、それぞれのゲートに印加されるスイッチ制御信号 $S_{c1} \sim S_{c4}$ によって、オンまたはオフ状態に制御される。

【0064】

図7には、トランジスタN1のゲートにスイッチ制御信号 S_{c1} を供給する駆動回路20の一構成例を示している。図示のように、駆動回路20は、ダイオード22、キャパシタ24及びバッファ26によって構成されている。

ダイオード22とキャパシタ24は、電源電圧 V_{in} が供給される電源端子とノード N_A との間に直列接続されている。なお、ダイオード22のアノードが電源端子に接続され、カソードがキャパシタ24の一方の端子に接続されている。

【0065】

バッファ26の入力端子が制御信号の入力端子 T_{c1} に接続され、出力端子がトランジスタN1のゲートに接続されている。バッファ26の電源電圧供給端子がダイオード22とキャパシタ24との接続点に接続され、基準電位供給端子がノード N_A に接続されている。入力端子 T_{c1} には、図示しないスイッチング制御回路10からの制御信号が入力される。

【0066】

上述した駆動回路20において、スイッチング制御回路10からの制御信号に応じて、バッファ26よりスイッチ制御信号 S_{c1} が供給され、トランジスタN1のゲートに印加される。これに応じてトランジスタN1のオン／オフが制御される。

図7の回路において、各トランジスタN1, N2, N3, N4は、図6の各トランジスタP1, N2, N3, P4と同様に制御される。

【0067】

ダイオード22とキャパシタ24とはブートストラップ回路を構成しており、キャパシタ24に蓄積された電力によってバッファ26が駆動される。トランジスタN2, N3の少なくとも一方がオン状態にあるとき、インダクタL1の両端 N_A , N_B の電位がほぼGNDレベルに保持されるので、キャパシタ24はダイオード22を介して電源電圧 V_{in} からチャージされ、バッファ26を駆動するための電圧がキャパシタ24に保持される。そして、トランジスタN2, N3がオフ状態となり、トランジスタN1がオン状態に駆動される際、キャパシタ24はその蓄積電力によってバッファ26を駆動する。

ブートストラップ回路を用いた場合、フローティングの電源として用いるキャパシタの電圧を保障する必要があるが、本発明の構成においては、キャパシタ24の電荷がリークなどによって放電されてしまうようなことは生じないといえる。

【0068】

なお、図7では、トランジスタN1のゲートにスイッチ制御信号 S_{c1} を供給する駆動回路20の一回路例を示しているが、トランジスタN4にも、同じ構成を有する駆動回路を設けて、スイッチ制御信号 S_{c4} を供給することができる。

図7に示す駆動回路20を用いることによって、ノード N_A またはノード N_B が接地電位にあるとき、キャパシタ24がダイオード22を介して電源電圧 V_{in} によってチャージされる。ノード N_A またノード N_B がフローティング状態に切り替わったとき、キャパシタ24の蓄積電圧が電源電圧としてバッファ26に供給されるので、フローティング状態におけるノード N_A またはノード N_B の電位レベルにかかわらず、駆動回路26が確実に動作し、トランジスタN1またはN4のゲートにスイッチ制御信号 S_{c1} または S_{c4} を供給することができ、スイッチの切り替えを高速に制御できる。また、図7では、ダイオード22を電源電圧 V_{in} に接続しているが、それ以外の適切な電源に接続する構成としてもよい。

【0069】

以上説明したように、本実施形態によれば、スイッチS1～S4とインダクタL1によって構成されたDC-DCコンバータにおいて、スイッチS1～S4を所定のタイミングでオン/オフさせることによって、電源電圧 V_{in} によって供給されたエネルギーがインダクタL1に蓄積され、そして、インダクタL1に蓄積されたエネルギーが負荷側に放出される。エネルギーの蓄積と放出のタイミングを制御することで、負荷側に所望の出力電圧 V_{out} を供給することができる。また、インダクタL1の電流を検出し、当該検出結果に応じてスイッチを切り替え、軽負荷状態の待機時にインダクタL1の少なくとも一方の端子を接地することで、リングングノイズの発生を抑制でき、電源電圧 V_{in} に依存せず、安定した所望の電圧 V_{out} を負荷回路に供給することができる。

また、スイッチS1～S4をMOSトランジスタで構成し、スイッチング制御回路によってこれらのMOSトランジスタをオン/オフさせることによって、スイッチの切り替えを容易に実現できる。さらに、MOSトランジスタのボディダイオード又はMOSトランジスタ自身により、リングングノイズの発生を抑制できる。

【0070】

【発明の効果】

以上説明したように、本発明のDC-DCコンバータによれば、スイッチング素子の切り替えタイミングを適宜制御することによって、供給される電源電圧に

依存せず、安定した所望の電圧を負荷回路に供給できる。

また、本発明によれば、インダクタの電流を検出し、当該検出結果に応じてスイッチング素子の切り替えタイミングを制御することによって、インダクタ電流がほぼ零になった時点でインダクタを接地電位に保持することによって、インダクタにおける逆電流の発生を抑制でき、リングングノイズを低減できる。また、インダクタ電流がほぼ零になったとき、インダクタを負荷回路から切り離し、スイッチング動作を停止させることにより、消費電力を低減でき、電圧変換の効率を改善できる利点がある。

さらに、本発明のDC-DCコンバータによれば、スイッチング素子をMOSトランジスタによって構成することによって、MOSトランジスタをオン/オフすることによって、スイッチの切り替えを容易に実現できる。また、MOSトランジスタのボディダイオードにより、インダクタのリングングノイズを抑制することができる。

さらに、本発明によれば、MOSトランジスタのゲートに制御信号を供給する駆動回路において、ダイオードとキャパシタを設けて、キャパシタの保持電圧を電源電圧としてスイッチ制御信号を出力するバッファに供給することにより、スイッチの切り替えをより高速に制御できる。

また、ブートストラップ回路を用いたハイサイドNMOSトランジスタ駆動を行なった場合においては、ブートストラップ回路のキャパシタの電圧を常に安定して維持することができる。

【図面の簡単な説明】

【図1】

本発明に係るDC-DCコンバータの一実施形態を示す構成図である。

【図2】

昇降圧型DC-DCコンバータの一動作例を示す図である。

【図3】

昇降圧型DC-DCコンバータのインダクタ電流及び出力電圧の波形を示す波形図である。

【図4】

降圧型DC-DCコンバータの一動作例を示す図である。

【図5】

昇圧型DC-DCコンバータの一動作例を示す図である。

【図6】

本実施形態のDC-DCコンバータの具体的な回路構成例を示す回路図である。

【図7】

本実施形態のDC-DCコンバータの他の回路構成例を示す回路図である。

【図8】

従来のDC-DCコンバータの一例を示す構成図である。

【図9】

従来のDC-DCコンバータにおけるインダクタ電流を示す波形図である。

【図10】

従来のDC-DCコンバータにおける軽負荷時のインダクタ電流を示す波形図である。

【符号の説明】

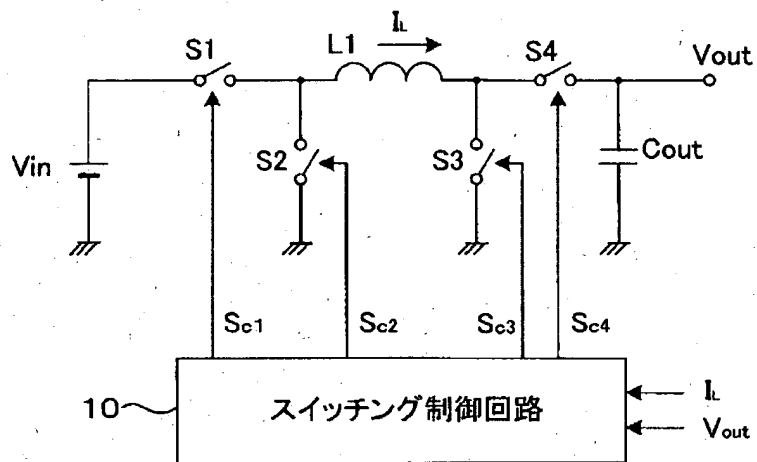
S1, S2, S3, S4…スイッチ、L1…インダクタ、

10…スイッチング制御回路、20…駆動回路、22…ダイオード、24…キャパシタ、26…バッファ、

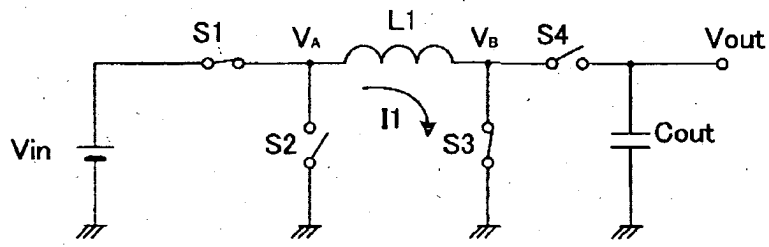
V_{in} …電源電圧、 V_{out} …出力電圧、 C_{out} …負荷キャパシタ。

【書類名】 図面

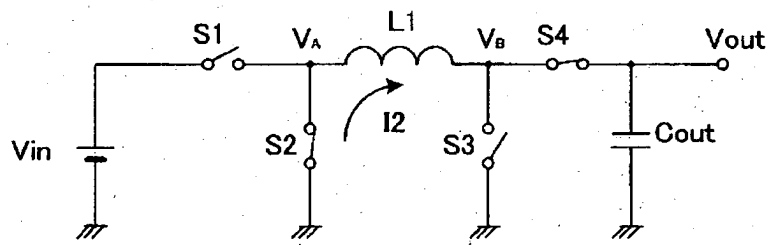
【図 1】



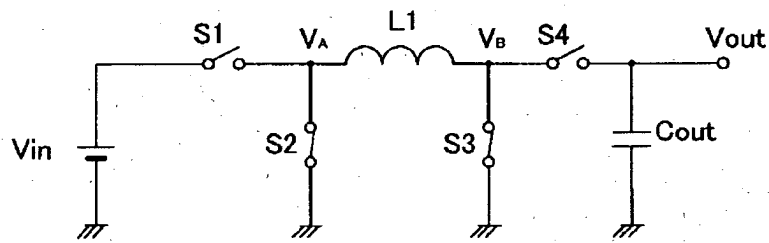
【図 2】



(a)

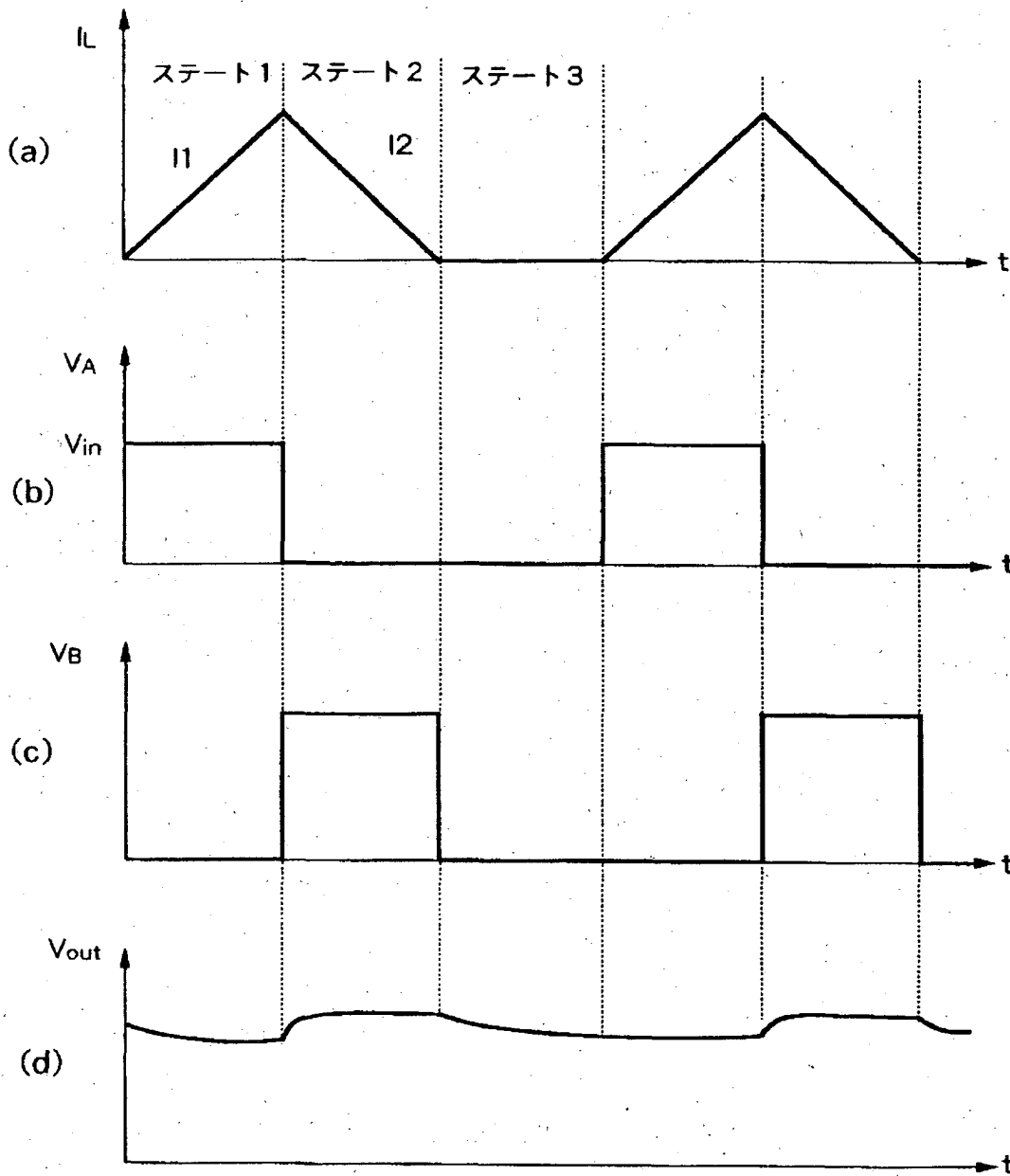


(b)

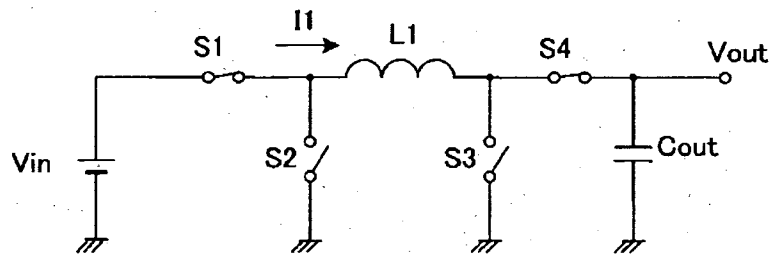


(c)

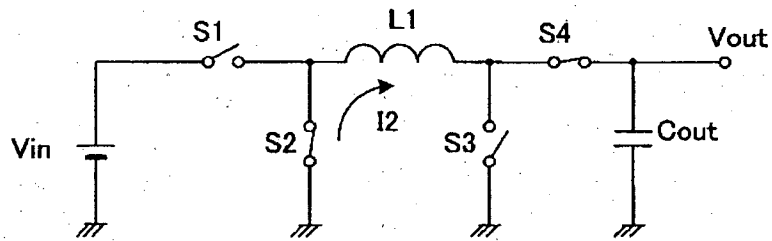
【図 3】



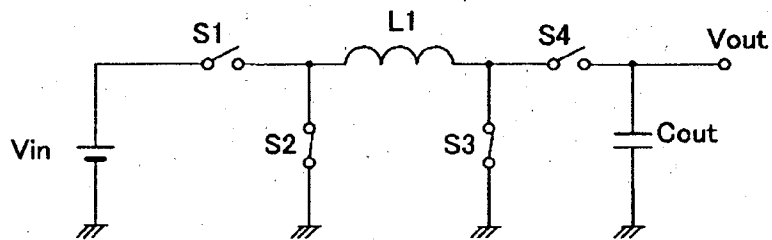
【図 4】



(a)

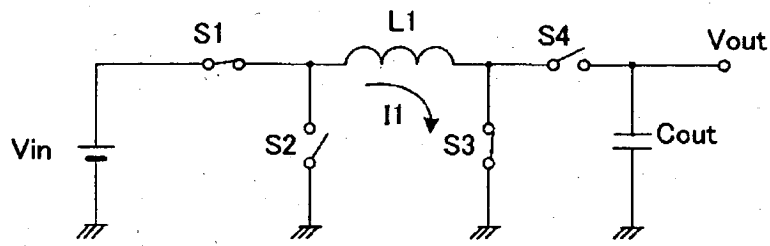


(b)

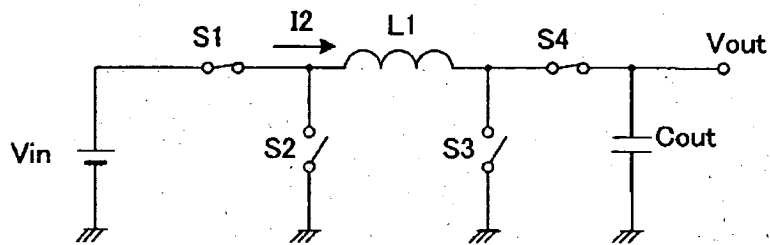


(c)

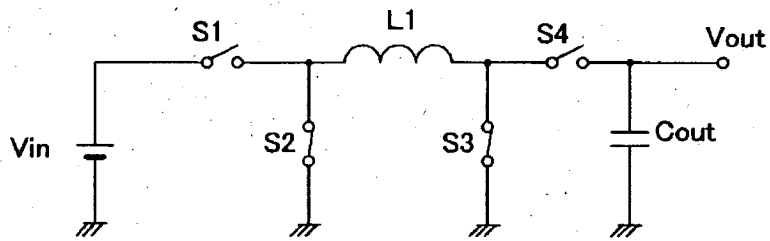
【図5】



(a)

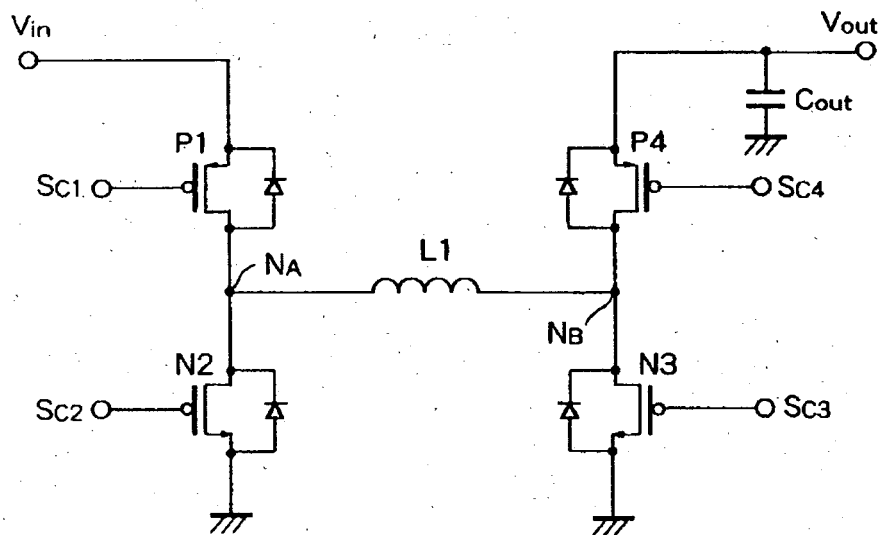


(b)

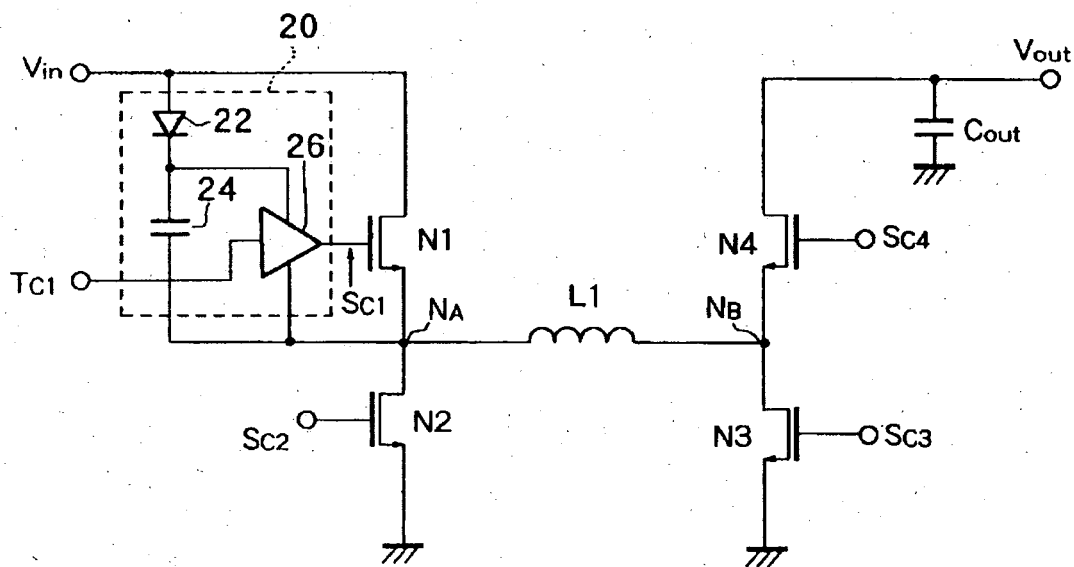


(c)

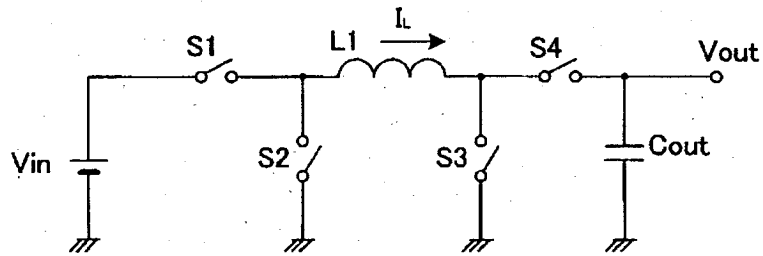
【図 6】



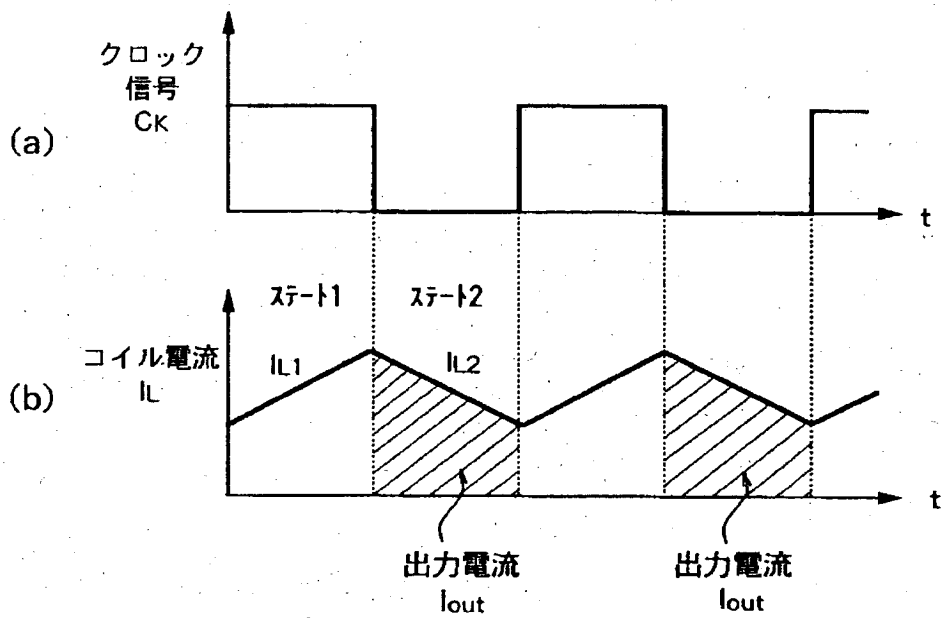
【図 7】



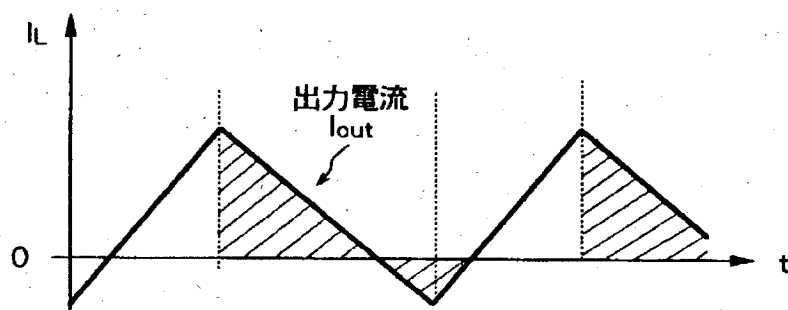
【図 8】



【図9】



【図10】



軽負荷時コイル電流

【書類名】 要約書

【要約】

【課題】 軽負荷時にインダクタの逆電流を防止でき、リングングノイズを抑制でき、かつ消費電力を低減し、変換効率を向上できるDC-DCコンバータを提供する。

【解決手段】 スイッチS1～S4とインダクタL1によって構成されたDC-DCコンバータにおいて、スイッチング制御回路10において、出力電圧 V_{out} 及びインダクタL1の電流 I_L を検出し、検出結果に応じて、出力電圧 V_{out} が所望のレベルに保持するように、スイッチS1～S4をオン/オフさせ、また、インダクタL1の電流がほぼ0になるとき、スイッチS2とS3を導通させ、また、インダクタL1の出力側のスイッチS4を遮断させることによって、インダクタの逆電流を防止し、リングングノイズの発生を抑制できる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [390020248]

1. 変更年月日 1999年11月19日

[変更理由] 住所変更

住 所 東京都新宿区西新宿六丁目24番1号

氏 名 日本テキサス・インスツルメンツ株式会社